Sistemet Elektronike

Lab. 4: Qarqet logjike dixhitale CMOS

|  |
| --- |
|  |
| Inxhinieri Informatike - II B |
| Tiranë më: 07/05/2024 |
| Fakulteti i teknologjisë së informacionit | Universiteti Politeknik i Tiranës |
|  |

# Porta AND me dy hyrje

Ndërtoni në Multisim dy qarqet e paraqitura në figurën 1.

|  |  |
| --- | --- |
|  |  |
| **(a)** | **(b)** |
| Fig. 1: (a) Skema elektrike e portës logjike NOT; (b) Skema e portës AND me dy hyrje (kombinimi i një porte NAND me një portë NOT). | |

Në këtë laborator do të analizojmë karakteristikat e komutimit të qarqeve dixhitale CMOS, marzhet e zhurmave. Do të analizojmë kohë-vonesat e përhapjes së sinjalit nga hyrja në dalje sikurse edhe kohët që i duhet sinjalit në dalje të arrijë nivelet e kërkuara logjike.

# Funksioni i transferimit i logjikës CMOS

Qarkun e ndërtuar në figurën 1a përdoreni për të përcaktuar parametrat e portës logjike NOT: diapazonin e tensionit në hyrje dhe në dalje për gjendjet logjike “1” dhe “0”, kohët e përhapjes.

Simulate -> Analyses and Simulation -> DC Sweep -> “Zgjedhja e parametrave si më poshtë” -> Run

* Analysis parameters -> Source 1: VIN; Start: 0V; Stop: 5V; Increment 0.0001V
* Output -> Selected variables for analysis: -> V(out);

|  |  |
| --- | --- |
|  |  |
| Karakteristika *Vin – Vout* | Karakteristika *Vin – Vout* e zmadhuar për *Vin* ∈[1.367, 1.368]V |

Paraqisni figurën e karakteristikës “*Vin – Vout*” të portës logjike NOT në figurën më sipër, gjithashtu bëni edhe një zmadhim të saj për vlera të *Vin* ∈[1.367, 1.368]V dhe paraqiteni në figurën përkatëse.

Bazuar në këto grafik dhe në matjen e vlerave të tensionit në të, përcaktoni parametrat *VILmax*, *VIHmin*, *VOLmax*, *VOHmin*, *NMH*, *NML* dhe *NM* për këtë qark. Të dhënat i paraqisni në tabelë.

|  |  |  |
| --- | --- | --- |
| **Parametra të rëndësishëm të VTC-së së Invertuesit Llogjik** | | **Vlera** |
| ***VOLmax*** | Niveli i Ulët i Daljes: (Vlera maksimale e tensionit për daljen logjike «0») | 38.801mV |
| ***VOHmin*** | Niveli i Lartë i Daljes: (Vlera minimale e tensionit për daljen logjike «1») | 4.9998V |
| ***VILmax*** | Vlera Maksimale e Hyrjes e interpretuar nga invertuesi si llogjike «0» | 1.3674V |
| ***VIH*min** | Vlera Minimale e Hyrjes e interpretuar nga invertuesi si llogjike «1» | 1.3677V |
| ***NML*** | Marzhi i Zhurmës për hyrje të ulet (*NML* = *VILmax* – *VOLmax*) | 1.328599V |
| ***NMH*** | Marzhi i Zhurmës për hyrje të lartë (*NMH* = *VOHmin* - *VIhmin*) | 3.6321V |
| ***NM*** | Marzhi i zhurmës i logjikës (min{*NMH*, *NML*}) | 1.328599V |

Për qarkun e figurës 1a përdorni oshiloskopin për të parë sinjalin në hyrje dhe në dalje dhe për të vlerësuar efektin e vonesës në përhapjen e sinjalit nga hyrja në dalje.

Të njëjtin qark do ta përdorim për të vlerësuar edhe efektin e interferencave dhe aftësinë rigjeneruese të sistemeve dixhitale.

Simulate -> Analyses and Simulation -> Interactive -> Run

Konfiguroni oshiloskopin si:

* Timebase: 100us/Div
* Channel\_A -> Scale: 5V/Div; Y pos.(Div): 1; Channel\_B -> Scale: 5V/Div; Y pos.(Div): -1

Për këtë konfigurim shtoni në seri me gjeneratorin e sinjalit VIN edhe një gjenerator sinusoidal (Vnoise), por me amplitudë 0V, që do të luaj rolin e një sinjali interferues në vijim. Qarku i plotë jepet në figurën 2.



Fig. 2: Porta NOT me sinjal interferues në hyrje

Për këtë konfigurim vlerësoni kohën që i duhet sinjalit në dalje për të kaluar nga gjendja logjike “1” në atë “0” dhe anasjelltas (*tf* dhe *tr*). Gjithashtu vlerësoni këhën që i duhet sinjalit të përhapet nga hyrja në dalje për të dyja gjendjet (*tPLH* dhe *tPHL*).

Nga analiza me oshiloskop, jepni dy pamje të qarta (të zmadhuara) ku të përcaktohen katër parametrat e mësipërm.

|  |  |
| --- | --- |
| Chart, line chart  Description automatically generated | Chart, line chart  Description automatically generated |
| Grafik për vlerësimin e *tPHL* dhe *tf* | Grafik për vlerësimin e *tPLH* dhe *tr* |

Me matjet nga grafikët më sipër plotësoni tabelën:

|  |  |  |
| --- | --- | --- |
| **Parametra kohor të portës logjike CMOS** | | **Vlera** |
| ***tPHL*** | Koha e kalimit “1” -> “0” nga hyrja në dalje (*Time propagation High to Low*) | 20.47 ns |
| ***tPLH*** | Koha e kalimit “0” -> “1” nga hyrja në dalje (*Time propagation Low to High*) | 59.253 ns |
| ***tr*** | Koha e ndryshimit në dalje nga “0” -> “1” (*Rise time*) | 72.082 ns |
| ***tf*** | Koha e ndryshimit në dalje nga “1” -> “0” (*Fall time*) | 25.059 ns |

# Imuniteti ndaj interferencave

Në këtë paragraf do të analizojmë imunitetin e qarqeve dixhitale ndaj interferencave në hyrje. Për këtë qëllim, qarkun e paraqitur në figurën 2, modifikojeni si më poshtë ku gjeneratori i zhurmës (Vnoise) të konfigurohet si:

1. Voltage (Pk): 1V (vlerë më e vogël se *NM* e përcaktuar në tabelën më sipër); frequency (F): 100kHz
2. Voltage (Pk): 2V (vlerë më e vogël se *NMH,* por më e madhe se *NML* e përcaktuar në tabelën më sipër); frequency (F): 100kHz
3. Voltage (Pk): 1.5V (vlerë më e vogël se *NMH,* por më e madhe se *NML* e përcaktuar në tabelën më sipër); frequency (F): 100kHz
4. Voltage (Pk): 1.5V (vlerë më e vogël se *NMH,* por më e madhe se *NML* e përcaktuar në tabelën më sipër); frequency (F): 1kHz

Për katër rastet e mësipërme paraqisni nga një figurë informative me oshiloskop të interferencës, nëse vërehet një fenomen i tillë në sinjalin në dalje.

|  |  |
| --- | --- |
| Chart  Description automatically generated | Chart  Description automatically generated |
| Vnoise = 1V; Frequency = 100 kHz | Vnoise = 2V; Frequency = 100 kHz |
| Chart  Description automatically generated | Chart  Description automatically generated with medium confidence |
| Vnoise = 1.5V; Frequency = 100 kHz | Vnoise = 1.5V; Frequency = 1 kHz |

Interpretoni grafikët e mësipërm në relacion me vlerat e tensioneve dhe zhurmave të paraqitura në tabelën fillestare të këtij paragrafi. Shpjegoni efektin e tensionit të zhurmës (që mblidhet në seri, herë në fazë e herë në kundër fazë me atë të sinjalit) për të katërt rastet e mësipërme. Në cilin nga rastet sinjali komplesiv në hyrjen IN del jashtë vlerave të pranuara si logjikë “1” dhe logjikë “0”?

Çfarë ndryshon nga pika c) në pikën d) më sipër ku në pikën c) edhe pse në shkelje të marzheve të zhurmës duket sikur nuk kemi keqinterpretim të sinjalit nga porta NOT? Ndërsa në rastin d) kemi një mosinterpretim të një niveli të caktuar të tensionit në hyrje?[[1]](#footnote-1)

|  |
| --- |
| Nga grafiket shohim paraqitjen e sinjalit ne dalje kur sinjalit ne hyrje i mbivendoset nje zhurme. Per sinjal zhurme 1V shohim se forma e sinjalit ne dalje nuk ndryshon, pra vem re se invertuesi refuzon ndryshimet e sinjalit te hyrjes brenda marzheve te zhurme. Kur tensioni i zhurmes ka vlere me te madhe se NMH dhe NML shohim nje deformim te sinjalit ne dalje. Keto zhurma i vendosen ne faze dhe shohim nje rritje te amplitudes, ose ne kunderfaze cka na sjell nje zvogelim te amplitudes.  Pas cdo periode te Vnoise, ku dhe sinjali ne hyrje del jashte kufirit VILmax,shohim qe kemi mbivendosje te tpLH dhe tpHL. Sinjalit ne rritje i kerkohet te zbres duke mos arritur te vendoset ne gjendjen logjike ‘1’, cka dhe sjell mosinterpretimin e ketij niveli te tensionit te hyrjes. |

# Funksioni logjik AND

Për qarkun e paraqitur në figurën 1b, të interpretohet funksionimi si portë logjike AND me dy hyrje. Për këtë qëllim të përdoret oshiloskopi me katër kanale të lidhur si në figurën 3.



Fig. 3: Porta AND si kombinim i një porte NAND me një portë NOT, analiza e sinjaleve me oshiloskop.

Simulate -> Analyses and Simulation -> Interactive -> Run

Konfiguroni oshiloskopin si:

* Timebase: 100us/Div
* Channel\_A -> Scale: 5V/Div; Y pos.(Div): 1.4; Channel\_B -> Scale: 5V/Div; Y pos.(Div): 0.2; Channel\_C -> Scale: 5V/Div; Y pos.(Div): -1.2; Channel\_D -> Scale: 5V/Div; Y pos.(Div): -2.4;

Bazuar në mënyrën e matjes së kohës së përhapjes së sinjalit nga një ndryshim në hyrje në ndryshimin korrespondent në dalje, plotësoni tabelën e mëpshtme për të katërt kombinimet e hyrjes.

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| Rasti | A | B | *tP(IN -> NAND)* | NAND | *tP(NAND -> AND)* | AND | *tP(IN -> AND)* |
| a) | “0” | “0” | 61.554 ns | “1” | 30.473 ns | “0” | 92.027 ns |
| b) | “0” | “1” | 64.516 ns | “1” | 30.637 ns | “0” | 95.153 ns |
| c) | “1” | “0” | 64.592 ns | “1” | 30.561 ns | “0” | 95.153 ns |
| d) | “1” | “1” | 25.939 ns | “0” | 76.659 ns | “1” | 102.598 ns |

Për secilin nga katër rastet e mësipërme paraqisni një zmadhim të sinjalit në oshiloskop ku të duken qartë kohët e përshkruara më sipër.

|  |  |
| --- | --- |
|  |  |
| a) 00 -> 1 -> 0 | b) 01 -> 1 -> 0 |
|  |  |
| c) 10 -> 1 -> 0 | d) 11 -> 0 -> 1 |

Vlerësoni kohën totale të përhapjes së sinjalit nga një ndryshim i hyrjeve A ose/dhe B dhe ndryshimin e daljes AND. Krahasoni këtë rezultat me atë të portës NOT të analizuar në paragrafin e dytë. Nëse do të ndërtimin qarkun kombinator si në figurën 3, sa do të ishte kohëvonesa e përhapjes së sinjalit nga një ndryshim i hyrjes A në daljen Y?

A

Y

100 porta NOT (numër çift)

B

Fig. 4: Qark kombinator për vlerësimin e kohës së përhapjes së sinjalit: Y = A

Nëse sinjali A ka një periodë T = 100ms dhe *duty cycle*[[2]](#footnote-2) 50%, si do të jetë sinjali në dalje, do të ketë të njëjtin *duty cycle*? Nëse jo, si është modifikuar dhe përse? Argumentoni përgjigjen tuaj.

|  |
| --- |
| Mesatarisht per cdo kombinim, tp per kete porte AND eshte 96.233 ns.  Per dy porta NOT te njepasnjeshme kemi tp=tpHL+tpLH=79.723 ns ose duke vleresuar mesatarisht tpHL=tpLH=39.862 ns per cdo porte NOT. Shohim se perhapja e sinjalit ne nje porte NOT eshte mesatarisht 2.4 here me e shpejt se sa ne porten AND.  Qarku (fig.4) per 100 porta NOT kemi tp1=3986.15ns dhe per 1 porte AND kemi tp=96.233ns => tp(totale)=4082.383ns~4.082us.  Sinjali ne dalje nuk do te kete te njejtin duty cycle, kjo pasi tr ndryshon nga tf ne portat NOT. Ne kemi qe tr > tf keshtu qe per vendosjen e gjendjes logjike ‘1’ duhet nje kohe me e madhe se sa per logjiken ‘0’, cka do te thote se duty cycle i sinjalit ne dalje eshte me e vogel se ajo e sinjalit ne hyrje. |

# Përfundime

Përshkruani shkurtimisht pikat kyçe të këtij laboratori dhe të rezultateve të marra.

|  |
| --- |
| Ne kete laborator percaktuam parametrat kryesor te portes NOT dhe marzhin e zhurmes (NM=1.328 V), i cili na percakton zhurmen qe mund ti mbivendoset sinjalit ne hyrje. Kur sinjalit ne hyrje i mbivendoset zhurme, inverteri e refuzon kete zhurme duke vendosur ne dalje sinjalin me vlerat e tij standarte VOH dhe VOL.  Per NML < Vnoise < NMH, kemi ne dalje prishje te logjikes ‘1’ ku dhe shfaqet deformimi i zhurmes.  Ne qofte se ne kete rast kemi frekuencen Vnoise < se frekuenca e sinjalit hyres => ne hyrje te inverterit do te kemi sinjal me periode sa e Vnoise dhe pas cdo periode te Vnoise, ku dhe sinjali hyres del jashte kufirit VILmax, kemi mosinterpretim te ketij niveli.  Pame porten AND te ndertuar nga porta NAND dhe NOT, me nje tp > se ajo e portes NOT. Gjithashtu pame se duty cycle i sinjalit ne dalje nuk eshte i barabarte me ate te sinjalit ne hyrje, kjo si pasoje e mosbarazimit midis kohes se renies dhe kohes se rritjes. |

# Referenca:

1. A. S. Sedra, K. C. Smith, Microelectronic Circuits, 7th Edition, Oxford University Press, 2014
2. A. Rakipi, E. Agastra, “Sistemet Elektronike – Konspekte Leksionesh”, FTI-UPT, 2020
3. E. Agastra, A. Rakipi, “Sistemet Elektronike – Ushtrime të zgjidhura”, FTI-UPT, 2020

1. Kujtoni motivet e kohës së përhapjes së sinjalit nga hyrja në dalje dhe ato që ndikojnë në ndryshimin e gjendjes së transistorëve që përbëjnë portën logjike. [↑](#footnote-ref-1)
2. *Duty cycle* është raporti midis kohës që sinjali është në gjendjen “1” kundrejt periodës së tijë. Shprehet në %. [↑](#footnote-ref-2)